

磁気抵抗効果型薄膜磁気ヘッド及び磁気抵抗効果型薄膜磁気ヘッドの製造方法  
(MAGNETORESISTIVE EFFECT THIN-FILM MAGNETIC HEAD AND MANUFACTURING  
METHOD OF MAGNETORESISTIVE EFFECT THIN-FILM MAGNETIC HEAD)

発明の技術分野 (FIELD OF THE INVENTION)

本発明は、例えばハードディスクドライブ (HDD) 装置に使用可能であり、電流が積層面と垂直方向に流れるトンネル磁気抵抗効果 (TMR) 素子又は垂直方向電流通過型巨大磁気抵抗効果 (CPP (Current Perpendicular to the Plane) - GMR) 素子を備えた磁気抵抗効果 (MR) 型薄膜磁気ヘッド及びそのMR型薄膜磁気ヘッドの製造方法に関する。

関連技術の説明 (DESCRIPTION OF THE RELATED ART)

HDD装置の高密度化に伴って、より高感度及び高出力の磁気ヘッドが要求されている。近年、この要求に答えるものとして、下部強磁性薄膜層/トンネルバリア層/上部強磁性薄膜層という多層構造からなる強磁性トンネル効果を利用したTMR素子 (例えば、特開平4-103014号公報) や、下部強磁性薄膜層/非磁性金属層/上部強磁性薄膜層という多層構造からなるGMR素子の一種であり電流が積層面と垂直方向に流れるCPP-GMR素子 (例えば、W. P. Pratt, Jr et al, "Perpendicular Giant Magnetoresistance of Ag/Co Multilayers", PHYSICAL REVIEW LETTERS, Vol. 66, No. 23, pp. 3060-3063, June 1991) が注目されている。これらの素子は、電流が積層面に沿って流れる一般的なGMR素子 (CIP (Current - In Plane) - GMR素子) に比較して数倍大きなMR変化率が得られ、しかも狭ギャップを容易に実現できる。なお、下部強磁性薄膜層及び上部強磁性薄膜層における「下部」及び「上部」とは、基板との位置関係を示す用語であり、一般に、基板に近い側が下部、遠い側が上部である。

図1は、一般的な構造を有するCIP-GMR素子をABS (浮上面) 方向から見た図である。

同図において、10は下部シールド層、11は絶縁材料で形成された下部ギャップ層、12は下部強磁性薄膜層 (フリー層) /非磁性金属層/上部強磁性薄膜層 (ビンド層) /反強磁性薄膜層という多層構造からなるGMR積層体、13は絶縁材料で形成された上部ギャップ層、14は上部シールド層、15はハードバイアス層、16は電極層をそれぞれ示している。

センス電流はGMR積層体12の積層面と平行に流れ、下部及び上部シールド層10及び14とGMR積層体12とは下部及び上部ギャップ層11及び13で電氣的に絶縁されている。

このようなCIP-GMR素子において、狭ギャップ化を実現するためには、非常に薄くかつ絶縁耐圧が非常に高い絶縁体を下部及び上部ギャップ層11及び13に用いる必要があるが、このような特性の絶縁体を実現することが難しく、これが高密度化のためのボトルネックとなっている。

図2は、一般的な構造を有するTMR素子又はCPP-GMR素子をABS方向から見た図である。

同図において、20は電極兼用の下部シールド層、21は金属材料で形成された電極兼用の下部ギャップ層、22は下部強磁性薄膜層（フリー層）／トンネルバリア層／上部強磁性薄膜層（ピンド層）／反強磁性薄膜層という多層構造からなるTMR積層体、又は下部強磁性薄膜層（フリー層）／非磁性金属層／上部強磁性薄膜層（ピンド層）／反強磁性薄膜層という多層構造からなるCPP-GMR積層体、23は金属材料で形成された電極兼用の上部ギャップ層、24は電極兼用の上部シールド層、25はハードバイアス層、26は絶縁材料で形成された絶縁ギャップ層をそれぞれ示している。なお、22aはTMR積層体又はCPP-GMR積層体から積層面に沿ってハードバイアス層25方向に延長された下部強磁性薄膜層（フリー層）である。

このようなTMR素子又はCPP-GMR素子においては、センス電流を積層面と垂直方向に流すために下部シールド層20及び上部シールド層24間が電気的に導通しており、従って、ギャップ層の絶縁破壊を心配することなく狭ギャップ化の実現が可能である。その結果、線記録密度を大幅に向上することが可能である。

HDD装置においては、このような高記録密度化のみならず、高転送速度化も非常に重要な課題となっている。転送速度は、磁気ディスクの回転速度に大きく影響されるが、記録ヘッドや再生ヘッドの周波数特性にも非常に大きく影響される。

図3はCIP-GMR素子の等価回路図であり、図4はTMR素子又はCPP-GMR素子の等価回路図である。

図3から明らかなように、CIP-GMR素子においては、出力端子間にはGMR素子の等価抵抗 $R_{GMR}$ が存在するのみであり周波数特性を劣化させるような本質的な要因はその回路中に存在しない。しかしながら、図4から明らかなように、シールド層を電極として利用する構造のTMR素子又はCPP-GMR素子においては、出力端子間にTMR素子又はCPP-GMR素子の等価抵抗 $R_{TMR}$ の他にシールド層間のキャパシタンス $C_{sh1}$ 及びTMR素子又はCPP-GMR素子自体のキャパシタンス $C_{TMR}$ が存在しており、これらがローパスフィルタを構成する形となって周波数特性が著しく劣化してしまう。

#### 発明の要約 (SUMMARY OF THE INVENTION)

従って、本発明の目的は、周波数特性を大幅に向上することができる、例えばTMR素子又はCPP-GMR素子を備えた、MR型薄膜磁気ヘッド及びその製造方法を提供することにある。

本発明によれば、下部シールド層と、下部シールド層上に積層された非磁性導電体の下部ギャップ層と、下部ギャップ層上に形成されており、積層面に垂直方向に電流が流れるMR積層体と、このMR積層体上に積層形成された非磁性導電体の上部ギャップ層と、少なくとも下部シールド層及び上部ギャップ層間に形成された絶縁体の絶縁ギャップ層と、上部ギャップ層上に積層形成された上部シールド層とを備えており、MR積層体が存在しない位置において下部シールド層及び上部ギャップ層間の距離が増大するように追加の絶縁体層が形成されているMR型薄膜磁気ヘッドが提供される。

MR積層体が存在しない位置において下部シールド層及び上部ギャップ層間の距離が増

大するように追加の絶縁体層が形成されているため、下部シールド層及び上部シールド層間のキャパシタンス $C_{\text{Shield}}$ が小さくなる。その結果、薄膜磁気ヘッドの周波数特性が著しく向上する。

図5は図4に示した等価回路においてシールド層間のキャパシタンスが $C_{\text{Shield}}=6\text{ pF}$ の場合におけるヘッド出力の対周波数特性を示す図であり、図6は同じく図4に示した等価回路においてシールド層間のキャパシタンスが $C_{\text{Shield}}=1\text{ pF}$ の場合におけるヘッド出力の対周波数特性を示す図である。ただし、TMR素子又はCPP-GMR素子のキャパシタンスは $C_{\text{TMR}}=0.01\text{ pF}$ とし、出力端子に接続される負荷は $10\text{ M}\Omega$ とする。

図5から明らかのように、シールド層間のキャパシタンス $C_{\text{Shield}}=6\text{ pF}$ の場合、出力が $3\text{ dB}$ 低下するカットオフ周波数 $f_c$ は、素子抵抗 $R_{\text{TMR}}$ の増大に伴って減少し、 $f_c > 500\text{ MHz}$ とするためには、素子抵抗 $R_{\text{TMR}}$ を $50\text{ }\Omega$ 以下にしなければならない。 $100\text{ Gbits/in}^2$ 以上の記録密度のTMR素子においては、このような低い素子抵抗を実現することは非常に困難である。

これに対して、図6から明らかのように、シールド層間のキャパシタンス $C_{\text{Shield}}=1\text{ pF}$ の場合、素子抵抗 $R_{\text{TMR}}$ が $300\text{ }\Omega$ 以上であっても $f_c > 500\text{ MHz}$ とすることが可能となる。即ち、シールド層間のキャパシタンス $C_{\text{Shield}}$ を小さくすることにより、素子抵抗 $R_{\text{TMR}}$ が十分に実現可能な $300\text{ }\Omega$ 以上であっても薄膜磁気ヘッドの周波数特性を著しく向上させることができるのである。なお、TMR素子又はCPP-GMR素子のキャパシタンス $C_{\text{TMR}}$ は、シールド層間のキャパシタンス $C_{\text{Shield}}$ に比してはるかに（2桁以上）小さいため、さほど問題とならない。

追加の絶縁体層が、MR積層体が存在しない位置において下部シールド層に設けられた凹部内に形成されていることが好ましい。

追加の絶縁体層が、MR積層体が存在しない位置において上部ギャップ層の下層として形成されていることも好ましい。

また、本発明によれば、積層面に垂直方向に電流が流れるMR積層体を備えたMR型薄膜磁気ヘッドの製造方法であって、下部シールド層を形成し、MR積層体が形成されない位置において下部シールド層の一部に凹部を形成し、形成した凹部内に追加の絶縁体層を形成し、非磁性導電体の下部ギャップ層をMR積層体が形成される位置の下部シールド層上に形成し、下部ギャップ層上にMR積層体を形成し、下部ギャップ層及びMR積層体を囲む絶縁体による絶縁ギャップ層を少なくとも追加の絶縁体層上に形成し、MR積層体及び絶縁ギャップ層上に非磁性導電体の上部ギャップ層を形成し、上部ギャップ層上に上部シールド層を形成するMR型薄膜磁気ヘッドの製造方法が提供される。

さらに、本発明によれば、積層面に垂直方向に電流が流れるMR積層体を備えたMR型薄膜磁気ヘッドの製造方法であって、下部シールド層を形成し、非磁性導電体の下部ギャップ層をMR積層体が形成される位置の下部シールド層上に形成し、下部ギャップ層上にMR積層体を形成し、下部ギャップ層及びMR積層体を囲む絶縁体による絶縁ギャップ層を下部シールド層上に形成し、MR積層体が形成されない位置において絶縁ギャップ層上に追加の絶縁体層を形成し、MR積層体及び追加の絶縁体層上に非磁性導電体の上部ギャップ層を形成し、上部ギャップ層上に上部シールド層を形成するMR型薄膜磁気ヘッドの

製造方法が提供される。

さらにまた、本発明によれば、積層面に垂直方向に電流が流れるMR積層体を備えたMR型薄膜磁気ヘッドの製造方法であって、下部シールド層を形成し、MR積層体が形成されない位置において下部シールド層の一部に凹部を形成し、形成した凹部内に第1の追加の絶縁体層を形成し、非磁性導電体の下部ギャップ層をMR積層体が形成される位置の下部シールド層上に形成し、下部ギャップ層上にMR積層体を形成し、下部ギャップ層及びMR積層体を囲む絶縁体による絶縁ギャップ層を少なくとも第1の追加の絶縁体層上に形成し、MR積層体が形成されない位置において絶縁ギャップ層上に第2の追加の絶縁体層を形成し、MR積層体及び第2の追加の絶縁体層上に非磁性導電体の上部ギャップ層を形成し、上部ギャップ層上に上部シールド層を形成するMR型薄膜磁気ヘッドの製造方法が提供される。

MR積層体が、トンネルバリア層と、このトンネルバリア層を挟む一対の強磁性薄膜層とを備えたTMR積層体であるか、又は非磁性金属層と、この非磁性金属層を挟む一対の強磁性薄膜層とを備えたCPP-GMR積層体であることが好ましい。

本発明の他の目的及び効果は、添付図面で説明される本発明の好ましい実施態様に関する以下の記載から明らかとなるであろう。

#### 図面の簡単な説明 (BRIEF DESCRIPTION OF THE DRAWINGS)

図1は、既に述べたように、一般的な構造を有するCIP-GMR素子をABS方向から見た図である；

図2は、既に述べたように、一般的な構造を有するTMR素子又はCPP-GMR素子をABS方向から見た図である；

図3は、既に述べたように、CIP-GMR素子の等価回路図である；

図4は、既に述べたように、TMR素子又はCPP-GMR素子の等価回路図である；

図5は、既に述べたように、図4に示した等価回路において、シールド層間のキャパシタンスが $C_{\text{Shield}} = 6 \text{ pF}$ の場合における減衰量の対周波数特性を示す図である；

図6は、既に述べたように、図4に示した等価回路において、シールド層間のキャパシタンスが $C_{\text{Shield}} = 1 \text{ pF}$ の場合における減衰量の対周波数特性を示す図である；

図7は、本発明の第1の実施形態として、TMR型薄膜磁気ヘッドの下部シールド層、上部シールド層及びリード導体部分の構成を概略的に示す平面図である；

図8は、図7のA-A線断面図である；

図9は、図7のB-B線断面図である；

図10a~10kは、第1の実施形態におけるTMR型薄膜磁気ヘッドの製造工程の一部を説明する断面図である；

図11は、本発明の第2の実施形態として、TMR型薄膜磁気ヘッドの下部シールド層、上部シールド層及びリード導体部分の構成を概略的に示す平面図である；

図12は、図11のA-A線断面図である；

図13は、図11のB-B線断面図である；

図14a~14iは、第2の実施形態におけるTMR型薄膜磁気ヘッドの製造工程の一部を説明する断面図である；

図 15 は、本発明の第 3 の実施形態として、TMR 型薄膜磁気ヘッドの下部シールド層、上部シールド層及びリード導体部分の構成を概略的に示す平面図である；

図 16 は、図 15 の A-A 線断面図である；

図 17 は、図 15 の B-B 線断面図である；そして

図 18 a ~ 18 n は、第 3 の実施形態における TMR 型薄膜磁気ヘッドの製造工程の一部を説明する断面図である。

#### 好ましい実施形態の説明 (DESCRIPTION OF THE PREFERRED EMBODIMENTS)

図 7 は本発明の第 1 の実施形態として、MR ハイト又はスロートハイト研磨加工前の TMR 型薄膜磁気ヘッドの下部シールド層、上部シールド層及びリード導体部分の構成を概略的に示す平面図であり、図 8 は図 7 の A-A 線断面図であり、図 9 は図 7 の B-B 線断面図である。なお、図 7 では下部シールド層及び上部シールド層とこれらに接続されるリード導体と端子電極のみが表されその他は図示が省略されており、図 8 及び図 9 では上部シールド層の上平面より上側の層の図示が省略されている。

これらの図において、70 は図示しない基板上に積層形成された電極兼用の下部シールド層、71 は下部シールド層 70 上にこの下部シールド層 70 と電気的に導通して積層形成された非磁性導体による電極兼用の下部ギャップ層、72 は下部ギャップ層 71 上に積層されパターンニング形成された TMR 積層体、73 は少なくとも TMR 積層体 72 上に積層形成された非磁性導体による電極兼用の上部ギャップ層、74 は上部ギャップ層 73 上にこの上部ギャップ層 73 と電気的に導通して積層形成された電極兼用の上部シールド層、75 は磁区制御のためのバイアス磁界を付与するハードバイアス層、76 は TMR 積層体 72 が存在しない位置において下部シールド層 70 の上面から形成された凹部、77 は凹部 76 内に絶縁体材料を埋め込んで形成された追加の絶縁体層、78 は追加の絶縁体層 77 及び下部シールド層 70 上に、下部ギャップ層 71 及び TMR 積層体 72 を取り囲んで形成された絶縁体による絶縁ギャップ層、79 は下部シールド層 70 の外側に形成された第 1 の絶縁体層、80 は絶縁ギャップ層 78 上であって上部ギャップ層 73 及び上部シールド層 74 の外側に形成された第 2 の絶縁体層をそれぞれ示している。

図 7 において、さらに、81 は一端が下部シールド層 70 に電気的に接続された第 1 のピアホール導体、82 は一端が第 1 のピアホール導体 81 の他端に電気的に接続された第 1 のリード導体、83 は第 1 のリード導体 82 の他端が電気的に接続された第 1 の端子電極（接続パッド）、84 は一端が上部シールド層 74 に電気的に接続された第 2 のリード導体、85 は一端が第 2 のリード導体 84 の他端に電気的に接続された第 2 のピアホール導体、86 は一端が第 2 のピアホール導体 85 の他端に電気的に接続された第 3 のリード導体、87 は第 3 のリード導体 86 の他端が電気的に接続された第 2 の端子電極（接続パッド）をそれぞれ示している。

TMR 積層体 72 は、図には示されていないが、反強磁性薄膜層、下部強磁性薄膜層（ビンド層）、トンネルバリア層及び上部強磁性薄膜層（フリー層）という基本的な層を少なくとも含む多層構造となっている。

上部強磁性薄膜層（フリー層）は、基本的には、外部磁場に応答して自由に磁化の向きが変わるように構成されており、下部強磁性薄膜層（ビンド層）は、反強磁性薄膜層との

間の交換結合バイアス磁界によって、その磁化方向が所定方向に向くように構成されている。

下部シールド層70及び上部シールド層74は、NiFe（パーマロイ）、センダスト、CoFe、CoFeNi又はCoZrNb等の単層構造又は多層構造で構成される。膜厚は、0.5～4μm、好ましくは1～3μmである。

下部ギャップ層71及び上部ギャップ層73は、非磁性導電体材料、例えばTa、Cu、Al、Ag、Au、Ti、TiW、Rh、Cr、In、Ir、Mg、Ru、W、Zn、PtMn若しくはRuRhMn、又はそれらの合金で構成される。膜厚は、5～70nm、好ましくは10～50nmである。

TMR積層体72における下部強磁性薄膜層（ビンド層）及び上部強磁性薄膜層（フリー層）は、高スピン極材料で構成することが好ましく、例えば、Fe、Co、Ni、CoFe、NiFe、CoZrNb又はCoFeNi等の単層構造又は多層構造が用いられる。下部強磁性薄膜層（ビンド層）の膜厚は、1～10nm、好ましくは2～5nmである。この膜厚が厚くなりすぎると反強磁性薄膜層との交換結合バイアス磁化が弱まり、膜厚が薄くなりすぎるとTMR変化率が減少する。上部強磁性薄膜層（フリー層）の膜厚は、2～50nm、好ましくは4～30nmである。この膜厚が厚くなりすぎるとヘッド動作時の出力が低下しかつパルクハウゼンノイズ等によって出力の不安定性が増大し、膜厚が薄くなりすぎるとTMR効果の劣化に起因する出力低下が生じる。

TMR積層体72におけるトンネルバリア層は、Al<sub>2</sub>O<sub>3</sub>、NiO、GdO、MgO、Ta<sub>2</sub>O<sub>5</sub>、MoO<sub>2</sub>、TiO<sub>2</sub>又はWO<sub>2</sub>等から構成される。膜厚は、0.5～2nm程度である。このトンネルバリア層の膜厚は、素子の低抵抗値化の観点からできるだけ薄いことが望ましいが、あまり薄すぎてピンホールが生じるとリーク電流が流れてしまうので好ましくない。

TMR積層体72における反強磁性薄膜層は、例えばPtMn、RuRhMnで構成されるがその他の一般的な反強磁性材料を用いることもできる。膜厚は6～30nm程度である。

追加の絶縁体層77、絶縁ギャップ層78、第1の絶縁体層79及び第2の絶縁体層80は、一般的にはAl<sub>2</sub>O<sub>3</sub>で構成される。

第1及び第2のピアホール導体81及び85、第1、第2及び第3のリード導体82、84及び86、並びに第1及び第2の端子電極（接続パッド）83及び87は、Cu、Al、Au又はAg等で構成される。ただし、一端が上部シールド層74に電気的に接続されている第2のリード導体84を、この上部シールド層74と同じ材料で形成してもよい。

本実施形態における重要なポイントは、MR積層体72が存在しない位置において下部シールド層70に凹部76が設けられ、その中に追加の絶縁体層77が埋め込まれていることにより、下部シールド層70及び上部ギャップ層73間の距離が実質的に増大するように構成されている点にある。その結果、下部シールド層及び上部シールド層間のキャパシタンスC<sub>Shield</sub>が小さくなるので、薄膜磁気ヘッドの周波数特性が著しく向上するのである。

図7に示すとき第1の実施形態の場合、下部シールド層70上に位置する上部シールド層74の電位を有する部分の面積、即ちキャパシタとして機能する電極面積はS=10

230  $\mu\text{m}^2$  (CADによる計算値)であり、下部シールド層70及び上部シールド層74間のキャパシタンスは $C_{\text{Shield}}=5.2\text{ pF}$ であり、カットオフ周波数 $f_c$ は $f_c=235\text{ MHz}$ であった。ただし、下部シールド層70及び上部シールド層74間の距離は110 nmであり、そのうち、 $\text{Al}_2\text{O}_3$ による絶縁ギャップ層78の膜厚は52 nmであり、凹部76の深さは150 nm、従って追加の絶縁体層77の膜厚も150 nmであり、リード線を含むTMRヘッ드의抵抗は $R_{\text{HGA}}=130\ \Omega$ である。なお、シールド層間キャパシタンス $C_{\text{Shield}}$ 及びカットオフ周波数 $f_c$ は、実測しても計算で求めてもほぼ一致する。例えばカットオフ周波数 $f_c$ は $f_c=1/(2\pi R_{\text{HGA}}C_{\text{Shield}})$ から算出できる。測定又は計算に用いたTMRヘッ드는、そのTMR積層体が下地層としてNiCr (3 nm)、反強磁性薄膜層としてPtMn (14 nm)、下部強磁性薄膜層 (ピンド層)としてCoFe (2 nm)/Ru (0.8 nm)/CoFe (2 nm)、トンネルバリア層としてAlOx、上部強磁性薄膜層 (フリー層)としてCoFe (2 nm)/NiFe (4 nm)、ギャップ層としてNiCr (3 nm)を順次積層した構成を有している。

一方、追加の絶縁体層77を設けない従来技術の場合、 $C_{\text{Shield}}=10.2\text{ pF}$ であり、 $f_c=120\text{ MHz}$ であった。従って、本実施形態によれば、 $C_{\text{Shield}}$ が従来技術よりかなり小さくなるので、薄膜磁気ヘッ드의周波数特性が著しく向上する。

図10 a~10 kは、第1の実施形態におけるTMR型薄膜磁気ヘッ드의製造工程の一部を説明する断面図であり、以下これらの図を用いて本実施形態のTMR型薄膜磁気ヘッ드의製造方法を説明する。

まず、図10 aに示すように、下部シールド層70を成膜しパターニングする。次いで、図10 bに示すように、その上に $\text{Al}_2\text{O}_3$ による絶縁体層を成膜し、CMP処理を行うことによって表面を平坦化して、図10 cに示すとき第1の絶縁体層79を形成する。

次いで、その上にレジスト材料を塗布しパターニングすることにより、TMR積層体72の存在しない位置における下部シールド層70の一部が開口した、図10 dに示すときレジストパターン100を形成する。次いで、このレジストパターン100を介してイオンミリングを行うことにより、図10 eに示すように、TMR積層体72の存在しない位置における下部シールド層70に凹部76が形成される。

次いで、図10 fに示すようにその上に $\text{Al}_2\text{O}_3$ による絶縁体層を成膜した後、図10 gに示すように、リフトオフ処理を行ってレジストパターン100及びその上の不要な絶縁体層を除去する。次いで、CMP処理を行うことによって表面を平坦化して、図10 hに示すごとく、凹部76内に埋め込まれた追加の絶縁体層77を得る。

その後、図10 iに示すように、下部シールド層70の所定位置に、下部ギャップ層71及びその上にTMR積層体72を成膜する。次いで、図10 jに示すように、TMR積層体72をパターニングして接合部などを形成し、下部ギャップ層71及びTMR積層体72の外側の下部シールド層70、追加の絶縁体層77及び第1の絶縁体層79上に $\text{Al}_2\text{O}_3$ による絶縁ギャップ層78を成膜する。

次いで、ハードマグネット層75 (図8)を形成した後、図10 kに示すように、TMR積層体72上に上部ギャップ層73及び上部シールド層74を形成すると共にこれら上部ギャップ層73及び上部シールド層74の外側の絶縁ギャップ層78上に $\text{Al}_2\text{O}_3$ による第2の絶縁体層80を成膜する。

図 11 は本発明の第 2 の実施形態として、MR ハイト又はスロートハイト研磨加工前の TMR 型薄膜磁気ヘッドの下部シールド層、上部シールド層及びリード導体部分の構成を概略的に示す平面図であり、図 12 は図 11 の A-A 線断面図であり、図 13 は図 11 の B-B 線断面図である。なお、図 11 では下部シールド層及び上部シールド層とこれらに接続されるリード導体と端子電極のみが表されその他は図示が省略されており、図 12 及び図 13 では上部シールド層の上平面より上側の層の図示が省略されている。

この第 2 の実施形態は、下部シールド層 70 及び上部ギャップ層 123 間の距離を増大させる追加の絶縁体層が上部ギャップ層 123 の下層として形成されている点で第 1 の実施形態の場合と異なっている。本実施形態のその他の構造は第 1 の実施形態と全く同様である。従って、図 11～図 13 においては、図 7～図 9 と同等の構成要素には同じ参照符号が付されている。

図 11～図 13 において、70 は図示しない基板上に積層形成された電極兼用の下部シールド層、71 は下部シールド層 70 上にこの下部シールド層 70 と電氣的に導通して積層形成された非磁性導電体による電極兼用の下部ギャップ層、72 は下部ギャップ層 71 上に積層されパターニング形成された TMR 積層体、123 は TMR 積層体 72 及び追加の絶縁体層 127 上に積層形成された非磁性導電体による電極兼用の上部ギャップ層、124 は上部ギャップ層 123 上にこの上部ギャップ層 123 と電氣的に導通して積層形成された電極兼用の上部シールド層、75 は磁区制御のためのバイアス磁界を付与するハードバイアス層、78 は下部シールド層 70 上に、下部ギャップ層 71 及び TMR 積層体 72 を取り囲んで形成された絶縁体による絶縁ギャップ層、127 は TMR 積層体 72 が存在しない位置において絶縁ギャップ層 78 上に形成された追加の絶縁体層、79 は下部シールド層 70 の外側に形成された第 1 の絶縁体層、80 は絶縁ギャップ層 78 上であって上部ギャップ層 123 及び上部シールド層 124 の外側に形成された第 2 の絶縁体層をそれぞれ示している。

図 11 において、さらに、81 は一端が下部シールド層 70 に電氣的に接続された第 1 のピアホール導体、82 は一端が第 1 のピアホール導体 81 の他端に電氣的に接続された第 1 のリード導体、83 は第 1 のリード導体 82 の他端が電氣的に接続された第 1 の端子電極（接続パッド）、84 は一端が上部シールド層 124 に電氣的に接続された第 2 のリード導体、85 は一端が第 2 のリード導体 84 の他端に電氣的に接続された第 2 のピアホール導体、86 は一端が第 2 のピアホール導体 85 の他端に電氣的に接続された第 3 のリード導体、87 は第 3 のリード導体 86 の他端が電氣的に接続された第 2 の端子電極（接続パッド）をそれぞれ示している。

TMR 積層体 72 は、図には示されていないが、反強磁性薄膜層、下部強磁性薄膜層（ピンド層）、トンネルバリア層及び上部強磁性薄膜層（フリー層）という基本的な層を少なくとも含む多層構造となっている。

上部強磁性薄膜層（フリー層）は、本質的には、外部磁場に応答して自由に磁化の向きが変わるように構成されており、下部強磁性薄膜層（ピンド層）は、反強磁性薄膜層との間の交換結合バイアス磁界によって、その磁化方向が所定方向に向くように構成されている。

下部シールド層 70 及び上部シールド層 124 は、NiFe（パーマロイ）、センダス



ト、CoFe、CoFeNi又はCoZrNb等の単層構造又は多層構造で構成される。膜厚は、0.5～4 μm、好ましくは1～3 μmである。

下部ギャップ層71及び上部ギャップ層123は、非磁性導電体材料、例えばTa、Cu、Al、Ag、Au、Ti、TiW、Rh、Cr、In、Ir、Mg、Ru、W、Zn、PtMn若しくはRuRhMn、又はそれらの合金で構成される。膜厚は、5～70 nm、好ましくは10～50 nmである。

TMR積層体72における下部強磁性薄膜層（ピンド層）及び上部強磁性薄膜層（フリー層）は、高スピン分極材料で構成することが好ましく、例えば、Fe、Co、Ni、CoFe、NiFe、CoZrNb又はCoFeNi等の単層構造又は多層構造が用いられる。下部強磁性薄膜層（ピンド層）の膜厚は、1～10 nm、好ましくは2～5 nmである。この膜厚が厚くなりすぎると反強磁性薄膜層との交換結合パイアス磁化が弱まり、膜厚が薄くなりすぎるとTMR変化率が減少する。上部強磁性薄膜層（フリー層）の膜厚は、2～50 nm、好ましくは4～30 nmである。この膜厚が厚くなりすぎるとヘッド動作時の出力が低下しかつバルクハウゼンノイズ等によって出力の不安定性が増大し、膜厚が薄くなりすぎるとTMR効果の劣化に起因する出力低下が生じる。

TMR積層体72におけるトンネルバリア層は、Al<sub>2</sub>O<sub>3</sub>、NiO、GdO、MgO、Ta<sub>2</sub>O<sub>5</sub>、MoO<sub>2</sub>、TiO<sub>2</sub>又はWO<sub>2</sub>等から構成される。膜厚は、0.5～2 nm程度である。このトンネルバリア層の膜厚は、素子の低抵抗値化の観点からできるだけ薄いことが望ましいが、あまり薄すぎてピンホールが生じるとリーク電流が流れてしまうので好ましくない。

TMR積層体72における反強磁性薄膜層は、例えばPtMn、RuRhMnで構成されるがその他の一般的な反強磁性材料を用いることもできる。膜厚は6～30 nm程度である。

追加の絶縁体層127、絶縁ギャップ層78、第1の絶縁体層79及び第2の絶縁体層80は、一般的にはAl<sub>2</sub>O<sub>3</sub>で構成される。

第1及び第2のピアホール導体81及び85、第1、第2及び第3のリード導体82、84及び86、並びに第1及び第2の端子電極（接続パッド）83及び87は、Cu、Al、Au又はAg等で構成される。ただし、一端が上部シールド層124に電気的に接続されている第2のリード導体84を、この上部シールド層124と同じ材料で形成してもよい。

本実施形態における重要なポイントは、MR積層体72が存在しない位置において絶縁ギャップ層78上に追加の絶縁体層127が形成されていることにより、下部シールド層70及び上部ギャップ層123間の距離が実質的に増大するように構成されている点にある。その結果、下部シールド層及び上部シールド層間のキャパシタンスC<sub>Shield</sub>が小さくなるので、薄膜磁気ヘッドの周波数特性が著しく向上するのである。

図11に示すとき第2の実施形態の場合、下部シールド層70上に位置する上部シールド層124の電位を有する部分の面積、即ちキャパシタとして機能する電極面積はS=10230 μm<sup>2</sup>（CADによる計算値）であり、下部シールド層70及び上部シールド層124間のキャパシタンスはC<sub>Shield</sub>=5.2 pFであり、カットオフ周波数fcはfc=235 MHzであった。ただし、下部シールド層70及び上部シールド層124間

の距離は110nmであり、そのうち、 $Al_2O_3$ による絶縁ギャップ層78の膜厚は52nmであり、追加の絶縁体層127の膜厚は150nmであり、リード線を含むTMRヘッ드의抵抗は $R_{HGA}=130\Omega$ である。追加の絶縁体層127を設けない従来技術の場合、 $C_{Shield}=10.2pF$ であり、 $f_c=120MHz$ であるから、本実施形態によれば、 $C_{Shield}$ が従来技術よりかなり小さくなることとなり薄膜磁気ヘッドの周波数特性が著しく向上する。

この第2の実施形態におけるその他の構造、材料、膜厚、作用効果及び変更態様等については、前述した第1の実施形態の場合と同様である。

図14a～14iは、第2の実施形態におけるTMR型薄膜磁気ヘッドの製造工程の一部を説明する断面図であり、以下これらの図を用いて本実施形態のTMR型薄膜磁気ヘッドの製造方法を説明する。

まず、図14aに示すように、下部シールド層70を成膜しパターニングする。次いで、図14bに示すように、その上に $Al_2O_3$ による絶縁体層を成膜し、CMP処理を行うことによって表面を平坦化して、図14cに示すとき第1の絶縁体層79を形成する。

次いで、図14dに示すように、下部シールド層70に下部ギャップ層71を成膜し、その上の所定位置にTMR積層体72を成膜する。次いで、図14eに示すように、TMR積層体72をパターニングして接合部などを形成し、TMR積層体72の外側の下部ギャップ層71及び第1の絶縁体層79上に $Al_2O_3$ による絶縁ギャップ層78を成膜する。

次いで、ハードマグネット層75（図12）を形成した後、その上にレジスト材料を塗布しパターニングすることにより、TMR積層体72の存在しない位置における絶縁ギャップ層78の一部が開孔した、図14fに示すときレジストパターン150を形成する。

次いで、図14gに示すようにその上に $Al_2O_3$ による絶縁体層を成膜した後、図14hに示すように、リフトオフ処理を行ってレジストパターン150及びその上の不要な絶縁体層を除去する。これにより、TMR積層体72の存在しない位置における絶縁ギャップ層78上に形成された追加の絶縁体層127を得る。

その後、図14iに示すように、TMR積層体72及び追加の絶縁体層127上に上部ギャップ層123及び上部シールド層124を形成すると共にこれら上部ギャップ層123及び上部シールド層124の外側の絶縁ギャップ層78及び追加の絶縁体層127上に $Al_2O_3$ による第2の絶縁体層80を成膜する。

図15は本発明の第3の実施形態として、MRハイト又はスロートハイト研磨加工前のTMR型薄膜磁気ヘッドの下部シールド層、上部シールド層及びリード導体部分の構成を概略的に示す平面図であり、図16は図15のA-A線断面図であり、図17は図15のB-B線断面図である。なお、図15では下部シールド層及び上部シールド層とこれらに接続されるリード導体と端子電極のみが表されその他は図示が省略されており、図16及び図17では上部シールド層の上平面より上側の層の図示が省略されている。

この第3の実施形態は、前述した第1の実施形態及び第2の実施形態の構成を組み合わせたものである。本実施形態のその他の構造は第1及び第2の実施形態と全く同様である。従って、図15～図17においては、図7～図9及び図11～図13と同等の構成要素には同じ参照符号が付されている。

図15～図17において、70は図示しない基板上に積層形成された電極兼用の下部シールド層、71は下部シールド層70上にこの下部シールド層70と電氣的に導通して積層形成された非磁性導電体による電極兼用の下部ギャップ層、72は下部ギャップ層71上に積層されパターンニング形成されたTMR積層体、123はTMR積層体72及び追加の絶縁体層127上に積層形成された非磁性導電体による電極兼用の上部ギャップ層、124は上部ギャップ層123上にこの上部ギャップ層123と電氣的に導通して積層形成された電極兼用の上部シールド層、75は磁区制御のためのバイアス磁界を付与するハードバイアス層、76はTMR積層体72が存在しない位置において下部シールド層70の上面から形成された凹部、77は凹部76内に絶縁体材料を埋め込んで形成された第1の追加の絶縁体層、78は下部シールド層70上に、下部ギャップ層71及びTMR積層体72を取り囲んで形成された絶縁体による絶縁ギャップ層、127はTMR積層体72が存在しない位置において絶縁ギャップ層78上に形成された第2の追加の絶縁体層、79は下部シールド層70の外側に形成された第1の絶縁体層、80は絶縁ギャップ層78上であって上部ギャップ層123及び上部シールド層124の外側に形成された第2の絶縁体層をそれぞれ示している。

図15において、さらに、81は一端が下部シールド層70に電氣的に接続された第1のピアホール導体、82は一端が第1のピアホール導体81の他端に電氣的に接続された第1のリード導体、83は第1のリード導体82の他端が電氣的に接続された第1の端子電極（接続パッド）、84は一端が上部シールド層124に電氣的に接続された第2のリード導体、85は一端が第2のリード導体84の他端に電氣的に接続された第2のピアホール導体、86は一端が第2のピアホール導体85の他端に電氣的に接続された第3のリード導体、87は第3のリード導体86の他端が電氣的に接続された第2の端子電極（接続パッド）をそれぞれ示している。

TMR積層体72は、図には示されていないが、反強磁性薄膜層、下部強磁性薄膜層（ピンド層）、トンネルバリア層及び上部強磁性薄膜層（フリー層）という基本的な層を少なくとも含む多層構造となっている。

上部強磁性薄膜層（フリー層）は、基本的には、外部磁場に応答して自由に磁化の向きが変わるように構成されており、下部強磁性薄膜層（ピンド層）は、反強磁性薄膜層との間の交換結合バイアス磁界によって、その磁化方向が所定方向に向くように構成されている。

下部シールド層70及び上部シールド層124は、NiFe（パーマロイ）、センダスト、CoFe、CoFeNi又はCoZrNb等の単層構造又は多層構造で構成される。膜厚は、0.5～4 $\mu$ m、好ましくは1～3 $\mu$ mである。

下部ギャップ層71及び上部ギャップ層123は、非磁性導電体材料、例えばTa、Cu、Al、Ag、Au、Ti、TiW、Rh、Cr、In、Ir、Mg、Ru、W、Zn、PtMn若しくはRuRhMn、又はそれらの合金で構成される。膜厚は、5～70nm、好ましくは10～50nmである。

TMR積層体72における下部強磁性薄膜層（ピンド層）及び上部強磁性薄膜層（フリー層）は、高スピン分極材料で構成することが好ましく、例えば、Fe、Co、Ni、CoFe、NiFe、CoZrNb又はCoFeNi等の単層構造又は多層構造が用いられ

る。下部強磁性薄膜層（ピンド層）の膜厚は、1～10 nm、好ましくは2～5 nmである。この膜厚が厚くなりすぎると反強磁性薄膜層との交換結合バイアス磁化が弱まり、膜厚が薄くなりすぎるとTMR変化率が減少する。上部強磁性薄膜層（フリー層）の膜厚は、2～50 nm、好ましくは4～30 nmである。この膜厚が厚くなりすぎるとヘッド動作時の出力が低下しかつバルクハウゼンノイズ等によって出力の不安定性が増大し、膜厚が薄くなりすぎるとTMR効果の劣化に起因する出力低下が生じる。

TMR積層体72におけるトンネルバリア層は、 $\text{Al}_2\text{O}_3$ 、 $\text{NiO}$ 、 $\text{GdO}$ 、 $\text{MgO}$ 、 $\text{Ta}_2\text{O}_5$ 、 $\text{MoO}_2$ 、 $\text{TiO}_2$ 又は $\text{WO}_2$ 等から構成される。膜厚は、0.5～2 nm程度である。このトンネルバリア層の膜厚は、素子の低抵抗値化の観点からできるだけ薄いことが望ましいが、あまり薄すぎてピンホールが生じるとリーク電流が流れてしまうので好ましくない。

TMR積層体72における反強磁性薄膜層は、例えばPtMn、RuRhMnで構成されるがその他の一般的な反強磁性材料を用いることもできる。膜厚は6～30 nm程度である。

第1及び第2の追加の絶縁体層77及び127、絶縁ギャップ層78、第1の絶縁体層79及び第2の絶縁体層80は、一般的には $\text{Al}_2\text{O}_3$ で構成される。

第1及び第2のピアホール導体81及び85、第1、第2及び第3のリード導体82、84及び86、並びに第1及び第2の端子電極（接続パッド）83及び87は、Cu、Al、Au又はAg等で構成される。ただし、一端が上部シールド層124に電気的に接続されている第2のリード導体84を、この上部シールド層124と同じ材料で形成してもよい。

本実施形態における重要なポイントは、MR積層体72が存在しない位置において下部シールド層70に凹部76が設けられ、その中に第1の追加の絶縁体層77が埋め込まれていること、並びにMR積層体72が存在しない位置において絶縁ギャップ層78上に第2の追加の絶縁体層127が形成されていることにより、下部シールド層70及び上部ギャップ層123間の距離が実質的にかなり増大するように構成されている点にある。その結果、下部シールド層及び上部シールド層間のキャパシタンス $C_{\text{Shield}}$ が小さくなるので、薄膜磁気ヘッドの周波数特性が著しく向上するのである。

図15に示すとき第3の実施形態の場合、下部シールド層70上に位置する上部シールド層124の電位を有する部分の面積、即ちキャパシタとして機能する電極面積は $S = 1.0 \times 10^{-12} \text{ m}^2$ （CADによる計算値）であり、下部シールド層70及び上部シールド層124間のキャパシタンスは $C_{\text{Shield}} = 4.4 \text{ pF}$ であり、カットオフ周波数 $f_c$ は $f_c = 278 \text{ MHz}$ であった。ただし、下部シールド層70及び上部シールド層124間の距離は110 nmであり、そのうち、 $\text{Al}_2\text{O}_3$ による絶縁ギャップ層78の膜厚は52 nmであり、第1の追加の絶縁体層77の膜厚は150 nmであり、第2の追加の絶縁体層127の膜厚も150 nmであり、リード線を含むTMRヘッドの抵抗は $R_{\text{HGA}} = 130 \Omega$ である。追加の絶縁体層77及び127を設けない従来技術の場合、 $C_{\text{Shield}} = 10.2 \text{ pF}$ であり、 $f_c = 120 \text{ MHz}$ であるから、本実施形態によれば、 $C_{\text{Shield}}$ が従来技術より大幅に小さくなることとなり薄膜磁気ヘッドの周波数特性が著しく向上する。

この第3の実施形態におけるその他の構造、材料、膜厚、作用効果及び変更態様等については、前述した第1の実施形態及び第2の実施形態の場合と同様である。

図18a~18nは、第3の実施形態におけるTMR型薄膜磁気ヘッドの製造工程の一部を説明する断面図であり、以下これらの図を用いて本実施形態のTMR型薄膜磁気ヘッドの製造方法を説明する。

まず、図18aに示すように、下部シールド層70を成膜しパターニングする。次いで、図18bに示すように、その上に $Al_2O_3$ による絶縁体層を成膜し、CMP処理を行うことによって表面を平坦化して、図18cに示すとき第1の絶縁体層79を形成する。

次いで、その上にレジスト材料を塗布しパターニングすることにより、TMR積層体72の存在しない位置における下部シールド層70の一部が開口した、図18dに示すときレジストパターン100を形成する。次いで、このレジストパターン100を介してイオンミリングを行うことにより、図18eに示すように、TMR積層体72の存在しない位置における下部シールド層70に凹部76が形成される。

次いで、図18fに示すようにその上に $Al_2O_3$ による絶縁体層を成膜した後、図18gに示すように、リフトオフ処理を行ってレジストパターン100及びその上の不要な絶縁体層を除去する。次いで、CMP処理を行うことによって表面を平坦化して、図18hに示すごとく、凹部76内に埋め込まれた追加の絶縁体層77を得る。

その後、図18iに示すように、下部シールド層70の所定位置に、下部ギャップ層71及びその上にTMR積層体72を成膜する。次いで、図18jに示すように、TMR積層体72をパターニングして接合部などを形成し、下部ギャップ層71及びTMR積層体72の外側の下部シールド層70、第1の追加の絶縁体層77及び第1の絶縁体層79上に $Al_2O_3$ による絶縁ギャップ層78を成膜する。

次いで、ハードマグネット層75（図16）を形成した後、その上にレジスト材料を塗布しパターニングすることにより、TMR積層体72の存在しない位置における絶縁ギャップ層78の一部が開口した、図18kに示すときレジストパターン150を形成する。

次いで、図18lに示すようにその上に $Al_2O_3$ による絶縁体層を成膜した後、図18mに示すように、リフトオフ処理を行ってレジストパターン150及びその上の不要な絶縁体層を除去する。これにより、TMR積層体72の存在しない位置における絶縁ギャップ層78上に形成された第2の追加の絶縁体層127を得る。

その後、図18nに示すように、TMR積層体72及び第2の追加の絶縁体層127上に上部ギャップ層123及び上部シールド層124を形成すると共にこれら上部ギャップ層123及び上部シールド層124の外側の絶縁ギャップ層78及び第2の追加の絶縁体層127上に $Al_2O_3$ による第2の絶縁体層80を成膜する。

上述した各実施形態における第2のリード導体84及び第2のピアホール導体85について、それらの下部シールド層上に位置する部分の面積が小さくなるようにパターニングすれば、下部シールド層及び上部シールド層間のキャパシタンス $C_{\text{shield}}$ をより小さくすることができ、薄膜磁気ヘッドの周波数特性をより向上させることができる。

さらに、上述した各実施形態においては、絶縁ギャップ層78及び追加の絶縁体層77、127は、 $Al_2O_3$ で形成されているが、この部分の全部又は一部を $Al_2O_3$ より誘電率の低い絶縁材料、例えば $Si_3N_4$ 、 $Co-Fe_2O_3$ （ヘマタイト）又は $SiO_2$ で構

成することにより、シールド層間キャパシタンス $C_{\text{Shield}}$ をさらに低下させることができ、薄膜磁気ヘッドの周波数特性をより向上させることが可能である。

さらにまた、上述した各実施形態におけるTMR積層体72自体の膜厚を大きくするか、又はTMR積層体72が形成されている部分のみ下部ギャップ層71を厚くすることによって、絶縁ギャップ層78の膜厚が大きくなるように構成すると、シールド層間キャパシタンス $C_{\text{Shield}}$ をさらに低下させることができ、薄膜磁気ヘッドの周波数特性をより向上させることが可能となる。

以上述べた実施形態においては、一種類の構造を有するTMR積層体を用いているが、本発明は、反強磁性層が基板に遠い側、即ち上側にあるTMR積層体、その他種々の構造のTMR素子についても適用可能である。また、TMRヘッドのみならず、センス電流を積層面と垂直方向に流すいかなる構造のCPP-GMR素子を備えたCPP-GMRヘッドについても全く同様に適用可能である。

以上述べた実施形態は全て本発明を例示的に示すものであつて限定的に示すものではなく、本発明は他の種々の変形態様及び変更態様で実施することができる。従つて本発明の範囲は特許請求の範囲及びその均等範囲によつてのみ規定されるものである。